

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 F 3/30		4237-5H		
H 0 3 F 1/30	B	8522-5 J		

審査請求 未請求 請求項の数 2 O L (全 10 頁)

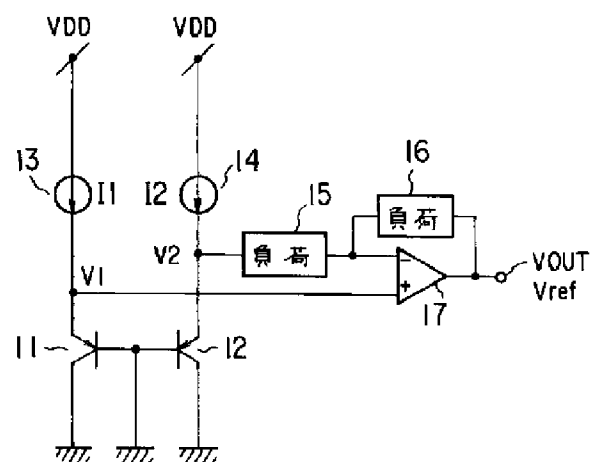
(21)出願番号	特願平5-33674	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成5年(1993)2月23日	(72)発明者	藤井 和仁 神奈川県川崎市幸区堀川町580番1号 株 式会社東芝半導体システム技術センター内
		(72)発明者	北川 信孝 神奈川県川崎市幸区堀川町580番1号 株 式会社東芝半導体システム技術センター内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 基準電圧回路

(57)【要約】

【目的】本発明は、基準電圧の値が素子のバラツキに影響されず、かつ温度や電源電圧にも依存しない基準電圧回路を提供することを目的とする。

【構成】電源電位VDDに一端が接続された第1及び第2の定電流源13、14と、ベース及びコレクタが接地電位に接続され、エミッタが上記第1の定電流源13の他端に接続されたPNP型のトランジスタ11と、ベース及びコレクタが接地電位に接続され、エミッタが上記第2の定電流源14の他端に接続されたPNP型のトランジスタ12と、正及び負の入力端子及び出力端子を有し、正の入力端子が上記トランジスタ11のエミッタに接続された演算増幅器17と、上記演算増幅器17の負の入力端子と上記トランジスタ12のエミッタとの間に接続された第1の負荷15と、上記演算増幅器17の負の入力端子と出力端子との間に接続された第2の負荷16とを具備したことを特徴とする。



【特許請求の範囲】

【請求項1】 第1の電位にそれぞれの一端が接続された第1及び第2の定電流源と、

ベース及びコレクタが第2の電位に接続され、エミッタが上記第1の定電流源の他端に接続された第1のバイポーラトランジスタと、

ベース及びコレクタが第2の電位に接続され、エミッタが上記第2の定電流源の他端に接続され、上記第1のバイポーラトランジスタと同一極性の第2のバイポーラトランジスタと、

正及び負の入力端子及び出力端子を有し、正の入力端子が上記第1のバイポーラトランジスタのエミッタに接続された演算増幅器と、

上記演算増幅器の負入力端子と上記第2のバイポーラトランジスタのエミッタとの間に接続された第1の負荷と、

上記演算増幅器の負の入力端子と出力端子との間に接続された第2の負荷とを具備したことを特徴とする基準電圧回路。

【請求項2】 第1の電位にそれぞれの一端が接続された第1及び第2の定電流源と、

アノード、カソードの一方が上記第1の定電流源の他端に接続され、アノード、カソードの他方が第2の電位に接続された第1のダイオードと、

アノード、カソードの一方が上記第2の定電流源の他端に接続され、アノード、カソードの他方が第2の電位に接続された第2のダイオードと、

正及び負の入力端子及び出力端子を有し、正の入力端子が上記第1のダイオードのアノード、カソードの一方に接続された演算増幅器と、

上記演算増幅器の負の入力端子と上記第2のダイオードのアノード、カソードの一方との間に接続された第1の負荷と、

上記演算増幅器の負の入力端子と出力端子との間に接続された第2の負荷とを具備したことを特徴とする基準電圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体集積回路装置に内蔵可能な基準電圧回路に係り、特に出力電圧値が素子特性のバラツキや温度変化、電源電圧値等に影響されない基準電圧回路に関する。

【0002】

【従来の技術】半導体集積回路装置に内蔵可能な基準電圧回路として、従来では図18や図19に示すようなものが知られている。

【0003】図18の基準電圧回路は2個のバイポーラトランジスタ111、112、4個の抵抗113～116及び演算増幅器117によって構成されている。この基準電圧回路では、上記トランジスタ111、112に流れる電流I1

、I2の値を異ならせ、それぞれの電流によって抵抗113、114に電圧降下を起こさせ、両降下電圧を演算増幅器117の負及び正の入力端子に供給すると共に、演算増幅器117の出力を両トランジスタ111、112のベースに供給して負帰還をかけている。

【0004】この基準電圧回路は、バイポーラトランジスタと抵抗の特性とにより所望の動作点で動作し、その結果、基準電圧Vrefが演算増幅器117の出力として得られる。

【0005】一方、図19の基準電圧回路は4個のNチャネルMOSトランジスタ121～124、電流源125及び演算増幅器126によって構成されている。上記MOSトランジスタ121、122は互いに閾値電圧が異なるように設定されており、両トランジスタ121、122に流れる電流値が等しくなるように、演算増幅器125によって一方のトランジスタ121に負帰還をかけ、これにより両トランジスタ121、122の閾値電圧の差を基準電圧Vrefとして得るようにしている。

【0006】しかしながら、図18の従来回路では、バイポーラトランジスタ111、112の特性のバラツキ、特に電流増幅率 h_{fe} 、ベース・エミッタ間電圧 V_{BE} —ベース電流IB特性のバラツキや、抵抗113～116の値のバラツキ等により、得られる基準電圧Vrefの値は大きく影響を受け、変動してしまう。つまり、素子感度が大きいという欠点がある。

【0007】一方、図19の従来回路では、個々のトランジスタの閾値電圧のバラツキ、特に121と122の閾値電圧の差のバラツキが直接、基準電圧Vrefに影響を与えるため、この場合にも素子感度が大きいという欠点がある。また上記両従来回路は共に、量産時の基準電圧のバラツキが大きく、量産に向かないという欠点もある。さらに、上記両従来回路では、所望の動作点以外にも動作点が存在し、安定回路やスタートアップ回路を必要とする欠点がある。

【0008】

【発明が解決しようとする課題】このように従来回路では素子感度が大きい、量産に向かない、安定回路やスタートアップ回路を必要とする等の欠点がある。

【0009】この発明は上記のような事情を考慮してなされたものであり、その目的は、基準電圧の値が素子のバラツキに影響されず、かつ温度や電源電圧にも依存しない基準電圧回路を提供することにある。

【0010】

【課題を解決するための手段】この発明の基準電圧回路は、第1の電位にそれぞれの一端が接続された第1及び第2の定電流源と、ベース及びコレクタが第2の電位に接続され、エミッタが上記第1の定電流源の他端に接続された第1のバイポーラトランジスタと、ベース及びコレクタが第2の電位に接続され、エミッタが上記第2の定電流源の他端に接続され、上記第1のバイポーラトラ

ンジスタと同一極性の第2のバイポーラトランジスタと、正及び負の入力端子及び出力端子を有し、正の入力端子が上記第1のバイポーラトランジスタのエミッタに接続された演算増幅器と、上記演算増幅器の負の入力端子と上記第2のバイポーラトランジスタのエミッタとの間に接続された第1の負荷と、上記演算増幅器の負の入力端子と出力端子との間に接続された第2の負荷とを具備したことを特徴とする。

【0011】

【作用】ベース及びコレクタが接続された第1及び第2のバイポーラトランジスタはダイオードとして作用し、第1及び第2の定電流源から定電流が供給されることにより、それぞれに順方向電圧降下が生じる。この降下電圧に対して電流値は対数に圧縮され、その特性の傾きは物理特性で決まる安定した特性を示し、バイポーラトランジスタの電流増幅率には影響されない。従って、特性は素子間のバラツキの影響を受けない。しかし、この特性は温度によって変化する。そこで、両降下電圧を第1、第2の負荷及び演算増幅器からなる回路によって増幅することにより、温度変化の影響を受けない基準電圧を得ることができる。

【0012】

【実施例】以下、図面を参照してこの発明を実施例により説明する。

【0013】図1はこの発明に係る基準電圧回路の第1の実施例による構成を示す回路図である。図において、11及び12はそれぞれPNP型のバイポーラトランジスタ、13及び14は電流値が I_1 、 I_2 の定電流源、15は第1の負荷、16は第2の負荷、17は演算増幅器である。

【0014】上記両トランジスタ11、12のコレクタ及びベースは共に0Vの接地電位に接続され、両トランジスタ11、12はダイオード接続されている。上記定電流源13は、正極性の電源電位 V_{DD} と上記トランジスタ11のエミッタとの間に接続されている。上記定電流源14は、電圧 V_{DD} と上記トランジスタ12のエミッタとの間に接続されている。上記第1の負荷15は、上記トランジスタ12のエミッタと上記演算増幅器17の負側の入力端子との間に接続されている。上記第2の負荷16は、上記演算増幅器17

の正側の入力端子と出力端子との間に接続されている。

図2は上記図1の実施例回路の第1、第2の負荷15、16を具体化した図であり、第1、第2の負荷15、16として抵抗18、19が使用されている。

【0015】図2のような構成において、ダイオード接続されたトランジスタ11、12のベース・エミッタ間には、定電流源の電流値 I_1 、 I_2 に応じた電圧降下 V_{BE} が生じる。いま、定電流源の電流値に $I_1 > I_2$ という関係があるとする、トランジスタ11のベース・エミッタ間電圧降下を V_{BE1} 、トランジスタ12のベース・エミッタ間電圧降下を V_{BE2} とすると、トランジスタ11、12のエミッタ電位 V_1 ($=V_{BE1}$)、 V_2 ($=V_{BE2}$)は図3の特性図に示すように、 $V_1 > V_2$ の関係が成立する。そして、トランジスタ11のエミッタ電位 V_1 は演算増幅器17の正側の入力端子に直接に入力され、トランジスタ12のエミッタ電位 V_2 は抵抗18を介して演算増幅器17の負側の入力端子に入力される。ここで、演算増幅器17の出力端子 V_{OUT} から出力される電圧 V_{ref} は、抵抗18、19の抵抗値を R_1 、 R_2 とすると、次式で与えられる。

【0016】

【数1】

$$V_{ref} = V_{BE1} + \frac{R_2}{R_1} (V_{BE1} - V_{BE2})$$

$$= (1 + \frac{R_2}{R_1}) V_{BE1} - \frac{R_2}{R_1} V_{BE2} \quad \text{----- (1)}$$

いま、 V_{BE1} 、 V_{BE2} の温度に対する変化率（偏微分値）を

【0017】

【数2】

$$\frac{\partial V_{BE1}}{\partial T}, \quad \frac{\partial V_{BE2}}{\partial T}$$

とすると、 V_{ref} の温度に対する変化率（偏微分値）は次の式で与えられる。

【0018】

【数3】

$$\frac{\partial V_{ref}}{\partial T} = (1 + \frac{R_2}{R_1}) \frac{\partial V_{BE1}}{\partial T} - \frac{R_2}{R_1} \frac{\partial V_{BE2}}{\partial T} \quad \text{----- (2)}$$

ここで、2式の右辺の値が0、つまり、

【0019】

【数4】

$$\frac{R_2}{R_1} \frac{\partial V_{BE2}}{\partial T} = (1 + \frac{R_2}{R_1}) \frac{\partial V_{BE1}}{\partial T} \quad \text{----- (3)}$$

となるように (R_2 / R_1) の値を決定すれば、 V_{ref} の値は温度、電源電圧 V_{DD} の値に依存せず、一定になる。

【0020】このように上記実施例回路によれば、バイ

ポーラトランジスタのベースとコレクタを接続してダイオードとして使用することにより、トランジスタ11、12のエミッタ電位 V_{BE1} 、 V_{BE2} は素子間でバラツキが大きい h_{fe} の影響を受けない。また、バイポーラトランジスタ11、12を流れる電流が多少変化しても、電流値は対数に圧縮されるため、上記両エミッタ電位 V_1 、 V_2 は非常にバラツキが少なく、安定する。また、第1、第2の負荷15、16として、図2に示すように抵抗18、19を用いた場合には、抵抗率が素子により変化しても、抵抗比 (R_2 / R_1) は変化しないため、出力電圧 V_{ref} は素

子の影響を受けにくく、極めて安定した電圧となる。

【0021】従って、基準電圧Vrefの素子感度が極めて小さく、かつ量産時のバラツキを小さくすることができて量産に好適であり、また従来回路のような安定回路やスタートアップ回路は不要である。次にこの発明の第2の実施例を説明する。

【0022】図4はこの発明に係る基準電圧回路の第2の実施例による構成を示す回路図である。上記第1の実施例回路ではPNP型のバイポーラトランジスタ11、12を用いる場合を説明したが、この実施例回路ではPNP型ではなくNPN型のバイポーラトランジスタ21、22を用いるようにしたものである。なお、図1の実施例回路と対応する箇所には同じ符号を付してその説明は省略する。

【0023】上記両トランジスタ21、22のコレクタ及びベースは共に正極性の電源電位VDDに接続され、この場

$$V_{ref} = V_{DD} - \left(1 + \frac{R_2}{R_1}\right) V_{BE1} + \frac{R_2}{R_1} V_{BE2} \quad \text{---- (4)}$$

また、Vrefの温度に対する変化率（偏微分値）は次の式で与えられる。

$$\frac{\partial V_{ref}}{\partial T} = -\left(1 + \frac{R_2}{R_1}\right) \frac{\partial V_{BE1}}{\partial T} + \frac{R_2}{R_1} \frac{\partial V_{BE2}}{\partial T} \quad \text{----- (5)}$$

【0027】ここで、上記5式の右辺の値が0、つまり上記3式が成立するように（R2/R1）の値を決定すれば、VDDを基準にしたVrefの値は温度、電源電圧VDDの値に依存せず、一定になる。

【0028】なお、上記各実施例において、バイポーラトランジスタ11、12または21、22はそれぞれ1個ずつ設ける場合について説明したが、これは複数個を並列接続するようにしてもよい。

【0029】図6はこの発明に係る基準電圧回路の第3の実施例による構成を示す回路図である。この実施例回路は、上記図1、図2に示す第1の実施例回路におけるPNP型のバイポーラトランジスタ11、12の替えてダイオード23、24を用いるようにしたものであり、この実施例回路で得られる効果は第1の実施例回路の場合と同様である。

【0030】図7はこの発明に係る基準電圧回路の第4の実施例による構成を示す回路図である。この実施例回路は、上記図4、図5に示す第2の実施例回路におけるNPN型のバイポーラトランジスタ21、22の替えてダイオード23、24を用いるようにしたものであり、この実施例回路で得られる効果は第2の実施例回路の場合と同様である。なお、この第4の実施例及び前記第3の実施例においても、それぞれ複数個のダイオードを直列接続して使用するようにしてもよい。

【0031】図8はこの発明に係る基準電圧回路の第5の実施例による構成を示す回路図である。この実施例回路は、前記図1に示す第1の実施例回路の定電流源13、

合も両トランジスタ21、22はダイオード接続されている。また、定電流源13は、上記トランジスタ21のエミッタと0Vの接地電位との間に接続されている。定電流源14は、上記トランジスタ22のエミッタと接地電位との間に接続されている。

【0024】図5は上記図4の実施例回路の第1、第2の負荷15、16を具体化した図であり、第1、第2の負荷15、16として、前記図2の場合と同様に抵抗18、19が使用されている。この実施例回路の場合、トランジスタ21、22のエミッタ電位V1、V2はそれぞれ、VDD-VBE1、VDD-VBE2となる。ここで、抵抗18、19の抵抗値を前記の場合と同様にR1、R2とすると、演算増幅器17の出力端子VOUTから出力される電圧Vrefは次式で与えられる。

【0025】

【数5】

【0026】

【数6】

14と第1、第2の負荷15、16を具体化したものである。ここで、第1、第2の負荷15、16は、前記図2の回路の場合と同様に抵抗18、19によって構成されている。

【0032】一方、2個の定電流源13、14は4個のPチャネルMOSトランジスタ31～34と2個のNチャネルMOSトランジスタ35、36及び抵抗37によって構成されている。上記2個のPチャネルMOSトランジスタ31、32のソースは共にVDDに接続され、また両トランジスタ31、32のゲートは共通に接続され、さらに一方のトランジスタ32のゲート・ドレイン間は共通に接続されている。すなわち、上記両トランジスタ31、32はカレントミラー回路を構成している。また、上記残り2個のPチャネルMOSトランジスタ33、34のソースも共にVDDに接続され、両トランジスタ33、34のゲートは上記トランジスタ32のゲート・ドレイン共通接続点に接続されている。そして、上記トランジスタ33のドレインは前記バイポーラトランジスタ11のエミッタに、上記トランジスタ34のドレインは前記バイポーラトランジスタ12のエミッタにそれぞれ接続されている。

【0033】上記トランジスタのドレインには上記抵抗37の一端及び上記NチャネルMOSトランジスタ35のゲートに接続されている。また、上記抵抗37の他端は上記トランジスタ35のドレインに接続され、このトランジスタ35のソースは接地電位に接続されている。さらに、上記トランジスタ32のゲート・ドレイン共通接続点には上記NチャネルMOSトランジスタ36のドレインが接続されている。このトランジスタ36のゲートは上記トランジ

スタ35のドレインに接続され、ソースは接地電位に接続されている。

【0034】上記のように構成された定電流源はMOSトランジスタからなるカレントミラー回路と抵抗を用いた良く知られたものであり、抵抗37の値と2個のPチャネルMOSトランジスタ33、34の素子サイズに応じて前記電流値 I_1 、 I_2 の値が決定されるものである。

【0035】この実施例回路において、トランジスタ11に流れる電流 I_1 を $10\mu A$ 、トランジスタ12に流れる電流 I_2 を $1\mu A$ とした時、常温($T_a = 27^\circ C$)の時の V_{BE1} 、 V_{BE2} の値はそれぞれ $676mV$ 、 $613mV$ 、高温($T_a = 60^\circ C$)の時の V_{BE1} 、 V_{BE2} の値はそれぞれ $633mV$ 、 $563mV$ となり、 V_{BE1} 、 V_{BE2} の偏微分値はそれぞれ $-1.3mV/deg$ 、 $-1.5mV/deg$ となる。この時、抵抗18、19の値 R_1 、 R_2 をそれぞれ $100K\Omega$ 、 $650K\Omega$ とすると、 V_{ref} の値は常温時に $1085.5mV$ 、高温時に $1088mV$ が得られた。

【0036】このとき、図示のような構成の定電流源によって、温度及び電源電圧の影響の少ない安定した電流 I_1 、 I_2 が得られる。また、電流 I_1 、 I_2 の多少の変化は前記のように対数圧縮されるので、トランジスタ11、12の V_{BE} に対する影響はほとんどない。

【0037】図9はこの発明に係る基準電圧回路の第6の実施例による構成を示す回路図である。この実施例回路は、前記図4に示す第2の実施例回路の定電流源13、14と第1、第2の負荷15、16を具体化したものである。この実施例回路において、第1、第2の負荷15、16は、前記図5の回路の場合と同様に抵抗18、19によって構成されている。

【0038】また、2個の定電流源13、14は、基本的には上記図8の第5の実施例回路の場合と同様に構成されているが、基準電圧 V_{ref} としてVDDを基準に得るようにしているため、図8の場合とはMOSトランジスタのチャネル型が逆となりかつ電源電位VDDと接地電位の接続関係が逆となっている。従って、この実施例回路において、定電流源に関し上記図8と対応する箇所には図8中の符号にダッシュ「'」を付してその説明は省略する。

【0039】図10はこの発明に係る基準電圧回路の第7の実施例による構成を示す回路図である。この実施例回路は、前記図1に示す第1の実施例回路の定電流源13、14と第1、第2の負荷15、16を具体化したものであり、第1、第2の負荷15、16は、抵抗18、19によって構成されている。

【0040】この実施例回路において、前記2個の定電流源13、14は3個のPチャネルMOSトランジスタ41～43、2個のNチャネルMOSトランジスタ44、45、1個のPNP型のバイポーラトランジスタ46及び2個の抵抗47、48によって構成されている。上記3個のPチャネル

MOSトランジスタ41～43のソースは共にVDDに接続され、また各トランジスタ41～43のゲートは共通に接続され、さらにトランジスタ41のゲート、ドレインが接続されている。そして、トランジスタ42のドレインは前記バイポーラトランジスタ11のエミッタに、トランジスタ43のドレインは前記バイポーラトランジスタ12のエミッタにそれぞれ接続されている。上記抵抗47の一端はVDDに接続され、その他端にはバイポーラトランジスタ46のエミッタ及び抵抗48の一端がそれぞれ接続されている。上記トランジスタ46のエミッタは接地電位に接続され、ベースは上記抵抗48の他端に接続されている。上記2個のNチャネルMOSトランジスタ44、45の各ドレインは上記トランジスタ46のベース、上記MOSトランジスタ41のゲート・ドレイン接続点にそれぞれ接続されている。また、上記MOSトランジスタ44、45のソースは共に接地電位に接続され、一方のMOSトランジスタ44のゲート、ソースが接続されている。

【0041】上記のように構成された定電流源も良く知られたものであり、抵抗47、48の値と2個のPチャネルMOSトランジスタ42、43の素子サイズに応じて前記電流値 I_1 、 I_2 の値が決定される。

【0042】図11はこの発明に係る基準電圧回路の第8の実施例による構成を示す回路図である。この実施例回路は、前記図4に示す第2の実施例回路の定電流源13、14と第1、第2の負荷15、16を具体化したものであり、第1、第2の負荷15、16は、前記図5の回路の場合と同様に抵抗18、19によって構成されている。

【0043】この実施例回路において、2個の定電流源13、14は、基本的には上記図10の第7の実施例回路の場合と同様に構成されているが、基準電圧 V_{ref} としてVDDを基準に得るようにしているため、図10の場合とはMOSトランジスタのチャネル型及びバイポーラトランジスタの極性が逆となり、かつ電源電圧VDDと接地電位の接続関係が逆となっている。従って、この実施例回路において、定電流源に関し上記図10と対応する箇所には図10中の符号にダッシュ「'」を付してその説明は省略する。

【0044】図12はこの発明に係る基準電圧回路の第9の実施例による構成を示す回路図である。この実施例回路は、前記図1に示す第1の実施例回路の定電流源13、14と第1、第2の負荷15、16を具体化したものであり、第1、第2の負荷15、16は、抵抗18、19によって構成されている。

【0045】この実施例回路において、前記2個の定電流源13、14は3個のPチャネルMOSトランジスタ51～53と1個の抵抗54で構成されている。上記3個のPチャネルMOSトランジスタ51～53のソースは共にVDDに接続され、また各トランジスタ51～53のゲートは共通に接続され、さらにトランジスタ51のゲート、ドレインが接続されている。そして、トランジスタ51のドレインと接

地電位との間には抵抗54が接続され、トランジスタ52、53の各ゲートは前記バイポーラトランジスタ11、12の各エミッタにそれぞれ接続されている。

【0046】上記のように構成された定電流源は、トランジスタ51と52及びトランジスタ51と53それぞれからなる2個のカレントミラー回路も用いた良く知られたものであり、抵抗54の値と2個のPチャネルMOSトランジスタ52、53の素子サイズに応じて前記電流値 I_1 、 I_2 の値が決定される。

【0047】図13はこの発明に係る基準電圧回路の第10の実施例による構成を示す回路図である。この実施例回路は、前記図4に示す第2の実施例回路の定電流源13、14と第1、第2の負荷15、16を具体化したものであり、第1、第2の負荷15、16は、前記図5の回路の場合と同様に抵抗18、19によって構成されている。

【0048】この実施例回路において、2個の定電流源13、14は、基本的には上記図12の第9の実施例回路の場合と同様に構成されているが、基準電圧 V_{ref} としてVDDを基準に得るようにしているため、図12の場合とはMOSトランジスタのチャネル型が逆となり、かつ電源電位VDDと接地電位の接続関係が逆となっている。従って、この実施例回路において、定電流源に関し上記図12と対応する箇所には図10中の符号にダッシュ「'」を付してその説明は省略する。

【0049】図14はこの発明に係る基準電圧回路の第11の実施例による構成を示す回路図である。この実施例回路は、前記図8に示す第5の実施例回路に対し、新たに演算増幅器38を追加し、バイポーラトランジスタ12のエミッタ電位をこの演算増幅器38に入力して安定化させ、前記演算増幅器17に供給するようにしたものである。

【0050】ところで、上記各実施例回路ではPNP型もしくはNPN型のバイポーラトランジスタ11、12、21、22を用いるようにしている。そして、各実施例回路をCMOSプロセスを用いたCMOS型集積回路として構成する場合に、これらバイポーラトランジスタはCMOSプロセス上の寄生バイポーラトランジスタを利用することができる。このとき、PNP型のバイポーラトランジスタ11、12のコレクタは接地電位に、NPN型のバイポーラトランジスタ21、22のコレクタは電源電位にそれぞれ接続する必要がある。

【0051】図15は上記第1、第2、第5、第6、第7、第8、第9、第10及び第11の各実施例で使用されるバイポーラトランジスタ11、12もしくは21、22を寄生バイポーラトランジスタで構成する場合の素子構造の断面図であり、図15の(a)はPNP型を、(b)はNPN型をそれぞれ示している。

【0052】図15の(a)において、P型領域61内にはNウェル領域62とP⁺領域63が形成される。上記Nウェル領域62内にはP⁺型領域64とN⁺領域65が形成され

る。そして、上記P⁺型領域64、N⁺領域65、P⁺領域63にPNP型バイポーラトランジスタのエミッタ電極E、ベース電極B、コレクタ電極Cが接続される。

【0053】図15の(b)において、N型領域71内にはPウェル領域72とN⁺領域73が形成される。上記Pウェル領域72内にはN⁺型領域74とP⁺領域75が形成される。そして、上記N⁺型領域74、P⁺領域75、N⁺領域73にNPN型バイポーラトランジスタのエミッタ電極E、ベース電極B、コレクタ電極Cが接続される。

【0054】図16は上記各実施例回路で使用される演算増幅器17の具体的な構成を示している。この演算増幅器17は、図示のように例えばPチャネルMOSトランジスタ81～85、NチャネルMOSトランジスタ86～88及び電流値設定用の抵抗89等で構成されている。このようなMOSトランジスタ構成の演算増幅器では、一般に正及び負の入力端子(V⁺)、(V⁻)に電流が流れることがないので、前記V1、V2は安定した値を保つことができる。

【0055】図17はこの発明に係る基準電圧回路の第12の実施例による構成を示す回路図である。この実施例の基準電圧回路は、前記図6の実施例回路の出力電圧 V_{ref} を2個の抵抗91、92で分割し、この分割された電圧を演算増幅器93と2個の抵抗94、95からなる増幅回路で増幅することにより、最終的な基準電圧 V_{ref}' の値を自由に設定できるようにしたものである。

【0056】すなわち、この実施例回路において、抵抗91、92、94、95の値を R_{11} 、 R_{12} 、 R_{13} 、 R_{14} とし、 $R_{12}/(R_{11}+R_{12})$ の値を α 、 R_{14}/R_{13} の値を β とすると、 V_{ref}' は次式で与えられる。

$$\begin{aligned} V_{ref}' &= \alpha V_{ref} + \beta \alpha V_{ref} \\ &= V_{ref} \alpha (1 + \beta) \quad \cdots (6) \end{aligned}$$

【0057】すなわち、この実施例では α 、 β の調整によって出力電圧 V_{ref}' の値を自由に設定することができる。ここで V_{ref} は先に説明したように安定した値なので、 V_{ref}' の値も安定したものとなる。

【0058】

【発明の効果】以上説明したようにこの発明によれば、基準電圧の値が素子のバラツキに影響されず、かつ温度や電源電圧にも依存しない基準電圧回路を提供することができる。

【図面の簡単な説明】

【図1】この発明に係る基準電圧回路の第1の実施例による構成を示す回路図。

【図2】図1の実施例回路の第1、第2の負荷を具体化した図。

【図3】図2の回路の特性図。

【図4】この発明に係る基準電圧回路の第2の実施例による構成を示す回路図。

【図5】図4の実施例回路の第1、第2の負荷を具体化した図。

【図 6】 この発明に係る基準電圧回路の第 3 の実施例による構成を示す回路図。

【図 7】 この発明に係る基準電圧回路の第 4 の実施例による構成を示す回路図。

【図 8】 この発明に係る基準電圧回路の第 5 の実施例による構成を示す回路図。

【図 9】 この発明に係る基準電圧回路の第 6 の実施例による構成を示す回路図。

【図 10】 この発明に係る基準電圧回路の第 7 の実施例による構成を示す回路図。

【図 11】 この発明に係る基準電圧回路の第 8 の実施例による構成を示す回路図。

【図 12】 この発明に係る基準電圧回路の第 9 の実施例による構成を示す回路図。

【図 13】 この発明に係る基準電圧回路の第 10 の実施例による構成を示す回路図。

【図 14】 この発明に係る基準電圧回路の第 11 の実施例による構成を示す回路図。

【図 15】 上記各実施例で使用されるバイポーラトランジスタを寄生バイポーラトランジスタで構成する場合の素子構造の断面図。

【図 16】 上記各実施例回路で使用される演算増幅器の

具体的な構成を示す回路図。

【図 17】 この発明に係る基準電圧回路の第 12 の実施例による構成を示す回路図。

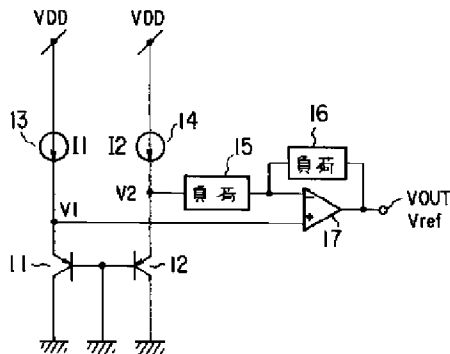
【図 18】 従来の基準電圧回路の回路図。

【図 19】 従来の基準電圧回路の回路図。

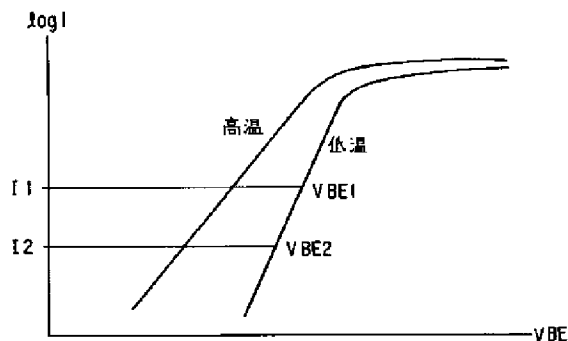
【符号の説明】

11, 12…PNP型のバイポーラトランジスタ、13, 14…定電流源、15…第 1 の負荷、16…第 2 の負荷、17…演算増幅器、18, 19…抵抗、21, 22…NPN型のバイポーラトランジスタ、23, 24…ダイオード、31~34…PチャネルMOSトランジスタ、35, 36…NチャネルMOSトランジスタ、37…抵抗、31' ~34' …NチャネルMOSトランジスタ、35', 36' …PチャネルMOSトランジスタ、37' …抵抗、38…演算増幅器、41~43…PチャネルMOSトランジスタ、44, 45…NチャネルMOSトランジスタ、46…PNP型のバイポーラトランジスタ、47, 48…抵抗、41' ~43' …NチャネルMOSトランジスタ、44', 45' …PチャネルMOSトランジスタ、46' …NPN型のバイポーラトランジスタ、47', 48' …抵抗、51~53…PチャネルMOSトランジスタ、54…抵抗、51' ~53' …NチャネルMOSトランジスタ、54' …抵抗、91, 92, 94, 95…抵抗、93…演算増幅器。

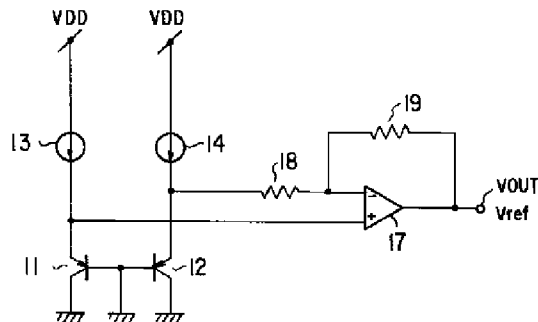
【図 1】



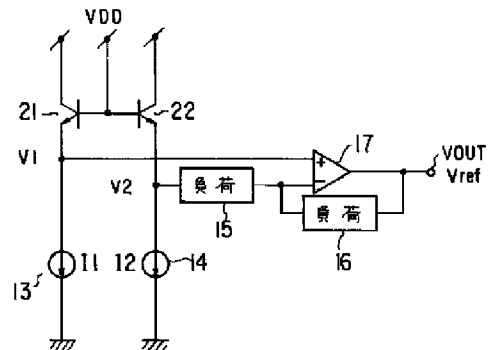
【図 3】



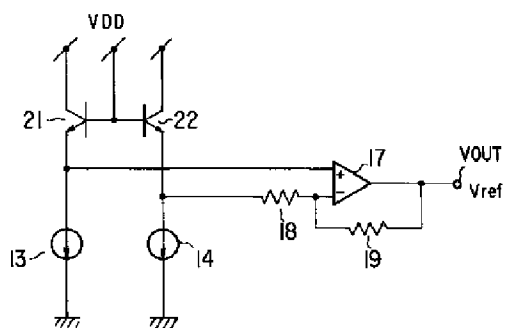
【図 2】



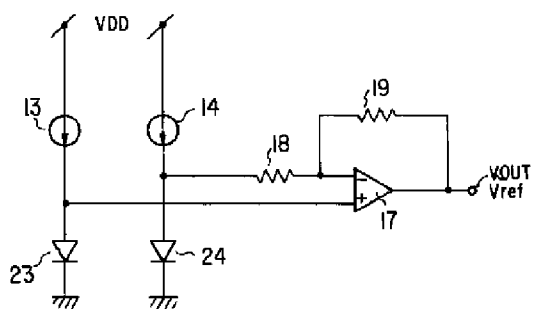
【図 4】



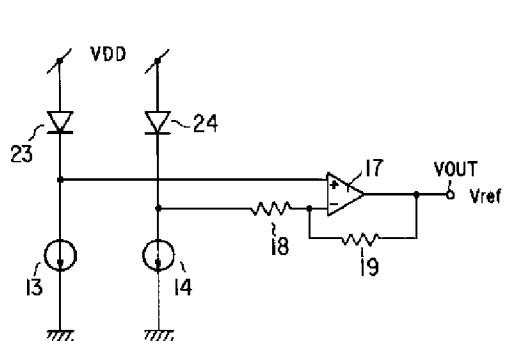
【图5】



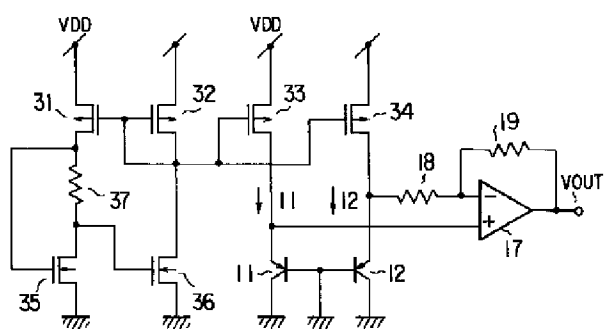
【图 6】



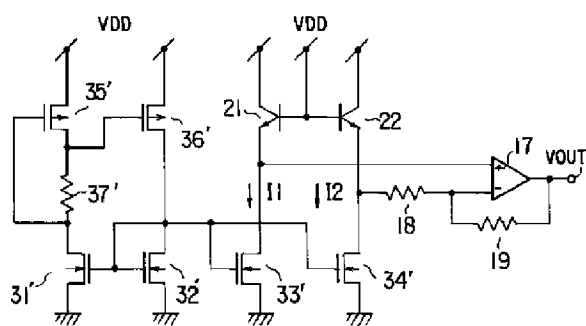
【图 8】



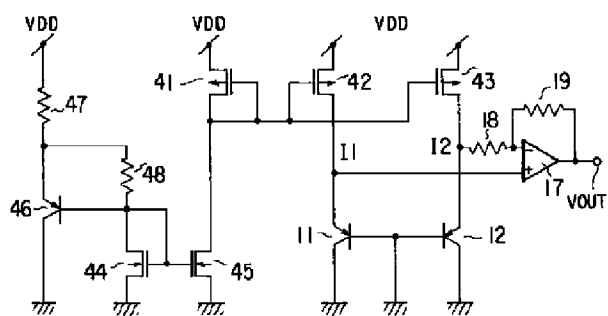
【图 7】



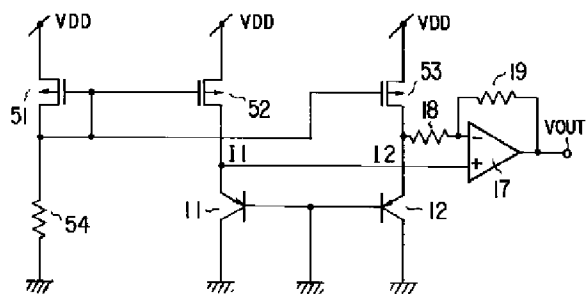
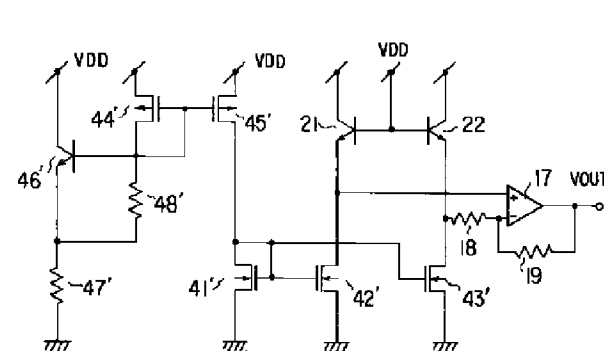
【図 10】



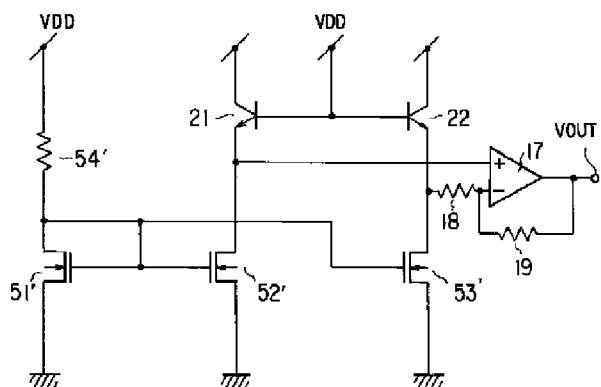
【图 1 1】



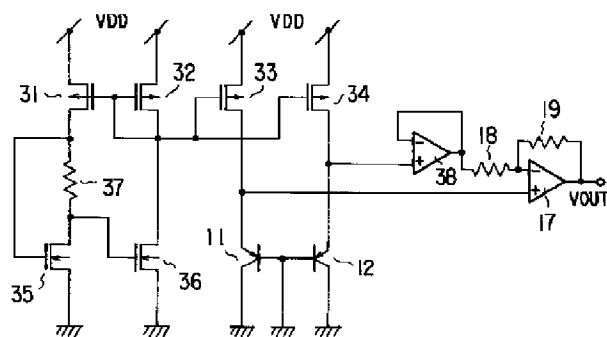
【图 1 2】



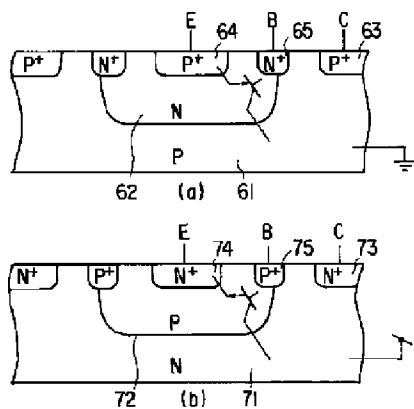
【图 1 3】



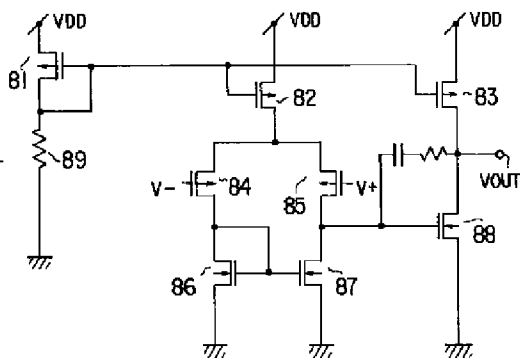
【图 1 4】



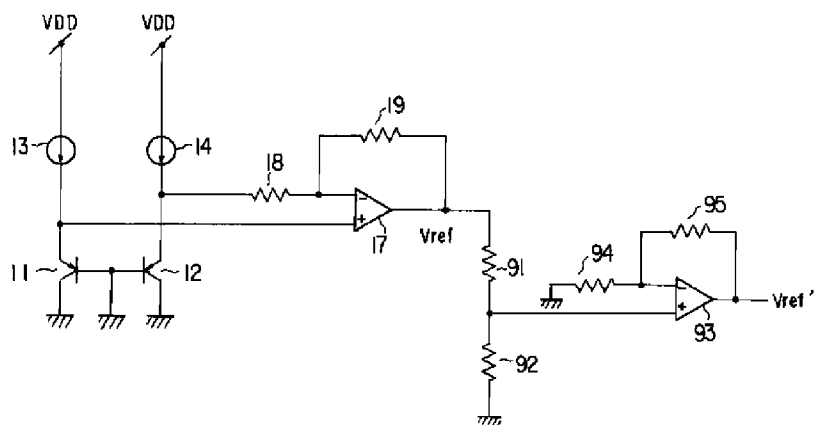
【图 1 5】



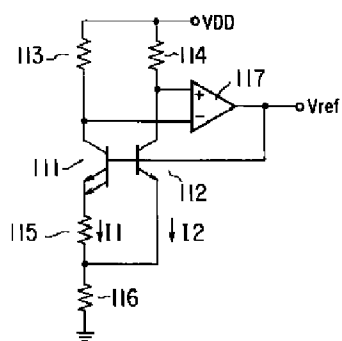
【图 1 6】



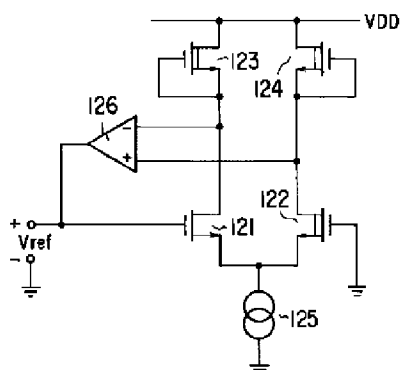
【图 1 7】



【图 1 8】



【図 1 9】



【手続補正書】

【提出日】平成 5 年 4 月 2 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 9

【補正方法】変更

【補正内容】

【0 0 1 9】

【数 4】

$$\frac{R2}{R1} \frac{\partial V_{BE2}}{\partial T} = \left(1 + \frac{R2}{R1}\right) \frac{\partial V_{BE1}}{\partial T} \quad \text{----- (3)}$$

となるように（R2 / R1）の値を決定すれば、Vref
の値は温度、電源電圧 VDD の値に依存せず、一定にな
る。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-250751
(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

G05F 3/30
H03F 1/30

(21)Application number : 05-033674
(22)Date of filing : 23.02.1993

(71)Applicant : TOSHIBA CORP
(72)Inventor : FUJII KAZUHITO
KITAGAWA NOBUTAKA

(54) REFERENCE VOLTAGE CIRCUIT

(57)Abstract:

PURPOSE: To provide the reference voltage circuit which does not influenced by dispersion of elements and depends upon neither temperature nor the source voltage.

CONSTITUTION: This reference voltage circuit is equipped with 1st and 2nd constant current sources 13 and 14 which have one-terminal sides connected to a power source potential VDD, a PNP type transistor (TR) 11 which has its base and collector connected to a ground potential and its emitter connected to the other terminal of the 1st constant current source 13, a PNP type TR 12 whose base and collector are connected to the ground potential and whose emitter is connected to the other terminal of the 2nd constant current source 14, an operational amplifier 17 which has plus and minus input and output terminals and whose plus input terminal is connected to the emitter of the TR 11, a 1st load 15 which is connected between the minus terminal of the operational amplifier 17 and the emitter of the TR 12, and a 2nd load 16 which is connected to the minus input terminal and output terminal of the operational amplifier.

